

1/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02450063 **Image available**

GROOVE-BURIED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 63-066963 [JP 63066963 A]

PUBLISHED: March 25, 1988 (19880325)

INVENTOR(s): MINEGISHI KAZUSHIGE

MORIE TAKASHI

MIURA KENJI

NAKAJIMA SAN

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 61-211009 [JP 66211009]

FILED: September 08, 1986 (19860908)

INTL CLASS: [4] H01L-027/10; H01L-021/76; H01L-027/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

JOURNAL: Section: B, Section No. 644, Vol. 12, No. 291, Pg. 57, August 09, 1988 (19880809)

ABSTRACT

PURPOSE: To suppress an area loss due to a mask aligning margin in a cell to the minimum limit, to effectively prevent an electric interference between cells and to be able to achieve 1-2 μm^2 of cell area by forming a capacitor on the lower part of the side of an insular silicon divided by latticelike grooves, and forming MIS FET on the top of the side.

CONSTITUTION: A second conductivity type first semiconductor layer 2 and a first conductivity type second semiconductor layer 3 are laminated on a first conductivity type semiconductor substrate 1, and the layers 2, 3 are insularly separated by latticelike grooves of the depth which arrives at a substrate 1. First insulating films 9 are formed on the side of the layer 2 and in the bottom of the groove, a first conductor 10 is buried in the bottom of the groove through the film 9 on the side of the layer 2, and a capacitor 41 is formed by the layer 2, the film 9 and the conductor 10. A second conductivity type diffused layer 16 is formed on the upper surface of the layer 3, a second insulating film 12 is formed on the side of the layer 3, a second conductor 13 is formed in the groove on the film 12 by insulating it from the conductor 10, and an FET 42 is formed of the layers 2, 3, the layer 16, the film 12 and the conductor 13.

?

④ 日本国特許庁 (J P)

④ 特許出願公開

④ 公開特許公報 (A) 昭63-66963

Int. Cl.

識別記号

庁内整理番号

公開 昭和63年(1958)7月25日

H 01 L 27 10
21 7C
27 04

3 2 5

F-8624-5F
D-7131-5F
C-7514-5F

審査請求 未請求 発明の読 2 (全 1頁)

発明の名称 高埋込型半導体装置およびその製造方法

特 願 昭61-211009

出 願 昭61(1986)9月8日

発 明 者 荻 岸 一 彦 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
発 明 者 森 江 隆 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
発 明 者 三 浦 賢 次 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
発 明 者 中 島 善 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社
厚木電気通信研究所内
出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
代 理 人 弁護士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

高埋込型半導体装置およびその製造方法

2. 特許請求の範囲

(1) 第1の導電型を有する半導体単結晶基板上に第2の導電型を有する第1の半導体単結晶層と第1の導電型を有する第2の半導体単結晶層が積層され、該第1と第2の半導体単結晶層が該半導体単結晶基板に達する程度の格子欠陥を有して島状に分離されており、該第1の半導体単結晶層の表面と該第2の表面に第1の絶縁膜が形成され、該第1の半導体単結晶層の表面に該第1の絶縁膜をたどって第1の導電体が該第2の表面に埋め込まれ、該第1の半導体単結晶層と該第1の絶縁膜と該第1の導電体とによりトランジスタが形成され、該第2の半導体単結晶層の表面に第1の半導体単結晶層とは反対側の第2の導電型を有する第2の導電層が形成され、該第2の半導体単結晶層の表面に第2の絶縁膜と当該第2の絶縁膜上の該第2の内部に第2の導電体が該第1の導電体と接続されて形成

され、該第1の半導体単結晶層と該第2の半導体単結晶層と該第2の絶縁膜と該第2の導電体とにより電界効果トランジスタが形成された構造を有することを特徴とする高埋込型半導体装置。

(2) 第1の導電型を有する半導体単結晶基板上に該第1の導電型とは異なる第2の導電型を有する第1の半導体単結晶層を形成しさらに第1の導電型を有する第2の半導体単結晶層を積層する工程と、該第1と第2の半導体単結晶層を該半導体単結晶基板に達する程度の格子欠陥を有しかつ一方の表面が他方の表面よりも狭い格子欠陥を有して島状に分離する工程と、該第1の半導体単結晶層の表面と該第2の表面に第1の絶縁膜を形成する工程と、該第1の半導体単結晶層の表面に該第1の絶縁膜をたどって第1の導電体を該第2の表面に埋め込む工程と、該第2の半導体単結晶層の表面に第1の半導体単結晶層とは反対側の第2の導電型を有する第2の導電層を形成する工程と、該第2の半導体単結晶層の表面に第2の絶縁膜を形成する工程と、

は第2の巻取膜上の膜面の内部に第2の導電体を
両端の狭い方の膜内部でつなげて接続しかつ両端
の広い方の膜内部でつなげないで隔てて絶縁し更
ては第1の導電体と絶縁して形成する工程とを具
備したことを要因とする導電透明非晶性膜の製
造方法。

1. 說明 - 詳細說明

【 記事上の利用を要 】

生産研究、イデオロギイ・フロンティア・フロンティア
 ・モリにおける問題と、モリセル四道よりなる構
 造型半導体装置およびその製造方法に関するも
 のである。

【花車の夜間】

1位のトランジスタと1位のキャパシタから成るダイナミック・ランダム・アクセス・メモリ（以下DRAMと略記する）の高密度化を達成するために種々のメモリエル構造が提議されている。その一つにシリコン基板表面に形成した膜の中にキャパシタとトランジスタの一部を組み込む方法（W. F. Stebbins 他による JEDM Tech. Dig.

71 (頁(1983年))が提案されている。この方法を以下断面を用いて説明する。図18(a)、(b)はそれぞれ積層基板によるDRAMセルの平面図および図16(a)の1-1断面図である。穴304の下部に誘電体絶縁層よりなるキャパシタ用電極層を介してキャパシタ用電極層1が覆われされている。キャパシタの他方の電極は多形シリコン基板1を用いている。穴304内の上部電極にはトランジスタのチャネル領域13が形成され、ゲート電極とトランジスタの地板7とを形成する。ゲート電極は、ドレイン領域の形成領域12、穴304の上部コーナ部に不純物に特選から成るソース領域の形成に特選15(ビット線として働く)が形成されている。さらに、ゲート建極13(ワード線として働く)により穴304が閉め込まれている。セル間(ビット間)は選択酸化法により形成されたシリコン酸化膜16により分離されている。

上記従来の利点は、切欠側面にキャビツタとトランジスタを形成しているために、セル面積の縮小が容易に実現できると、封着膜厚質を穴内導

にためらむので、 β 値によるセル阻のソフトエラーに対して耐性が向上することである。

【 三、 解決しようとする問題点 】

しかし、100メガビット毎セル（セル面積 $1\mu^2$ ）を実現するには以下のような問題がある。

(1)セル結の分離を選択酸化法によりシリコン基板の表面上に形成しているため、分離領域を0.5 μm 以下にすることは極めて困難である。例如图16(1)に示す拡散層と入り合わせ糸格（ α および β ）（ β に拡散層34の形成に必要な保護層）が必要のためセル面積の増大に限界がある。さらに付セル間（穴間）を狭小させた場合、隣接するセルの不純物拡散層間でパンチスルーが生じ、セル間の電気的干渉が生じるという欠点がある。

本発明の目的は、セル間におけるマスク合わせ余格による定規ロスを最小限に抑え、かつセル間の電気的干渉を確実に防止し、かつセル面積1〜2mm²を実現可能とする反転用ノモリセルのための構造必須半導体器具の提供およびそのノモリセルを従来のノモリセルの構造で置換されるリソグラ

フ、一般マスタの層数よりも少ない層数で対応する製造方法を提示することにある。

【問題点を解決するための手段および作用】

本発明は、1方向の導電性が他方向の導電より狭い格子状の膜で分離された晶状のシリコンの表面下部にキャパシタが形成され、表面上部にMIS半導体効果トランジスタ（以下MIS形FETと略記する）が形成され、導電の狭い膜で隔てられた領域の上記トランジスタのゲートが互いに接続されてワード線を形成し、導電の広い膜で隔てられた領域の上記トランジスタの基盤と電極とが形成された区域が導電の広い膜の上を横切る電気配線により接続されてビット線を形成していることを最も主要な特徴とする。

従来の技術とは、 Si - P システム及び MIS 形 FET が形成されている領域が活性状の膜により分離された品状のシリコンの表面であること、セム導体の分離は溝により行われていること、セム導体の形成に必要としたリソグラフィ用マスク層数だ。従来、3層以上必要であったのに可逆的腐蝕法を用ふとび

トゲ形成用の2層のみでよいことが異なる。

【実施例】

以下の実施例では、MIS形FETとして、チャネル形を基本に説明するが、導電形をすべて逆れたドチャネル形にすることができる。

実施例1

第1図(a)、(b)および(c)は本発明の第1の実施例を説明する図である。第1図(a)は本発明の第1の実施例による半導体装置の平面図、第1図(b)はワード線までを形成した半導体装置の鳥瞰図、第1図(c)はドット部までを形成した半導体装置の鳥瞰図である。本実施例では、第1図(a)に示すように、 ρ 形シリコン基板1上に形成された、 ρ 形シリコン薄膜2および ρ 形シリコン薄膜3の層状構造を有して格子状の溝が形成されており、図面に分割された鳥状の上記基層の、 ρ 形シリコン薄膜2の側面にはキャパシタ11が形成されており、 ρ 形シリコン薄膜3の側面にはMIS形FET4が形成されている。さらに、該溝の一方の側面は他方の側面より狭く形成されており、狭い側面の側で

分割された図面のMIS形FET4のゲートは互いに接続されていてワード線3を形成している。第1図(b)に示すようにMIS形FET4の基板と溝間に形成された図面11(ソース領域)は、溝の広い部の上を横切るドット部4より形成されている。

次に、第1図(a)および(c)に示した構造の半導体装置の製造方法について第2図および第1図を用いて説明する。第2図に示すように、 ρ 形シリコン基板1上に公知の化学的気相成長法(以下CVD法と略記する)により、 ρ 形シリコン薄膜2をエピタキシャル成長させる。 ρ 形シリコン薄膜2中の不純物濃度は、例えば $5 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 、膜厚は例えば $4 \sim 10 \text{ nm}$ とする。続いて、 ρ 形シリコン薄膜2をエピタキシャル成長させる。 ρ 形シリコン薄膜3中の不純物濃度は例えば、 $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 、膜厚は $1 \sim 3 \text{ nm}$ とする。上記、 ρ 形シリコン薄膜中の不純物としては例えば、ヒ素、アンチモンあるいはリンを用いる。 ρ 形シリコン薄膜の不純物としては例えばホウ素を用いる。

上記の例では、 ρ 形シリコン薄膜2と ρ 形シリコン薄膜3を形成するのにCVD法を用いて単結晶薄膜をエピタキシャル成長させたが、これらの薄膜の厚さが異なってもよい場合には、イオン注入法を用いて形成することができる。例えば、 ρ 形シリコン薄膜2にリンを1 MeVのイオンエネルギーでシリコン基板に注入すると平均のリンの注入深さは 1.1 nm 程度なので、これを1000℃で1時間熱処理することによって、 1.1 nm の深さよりも若干広がった ρ 形シリコン薄膜を ρ 形シリコン薄膜2として得ることができる。また、 ρ 形シリコン薄膜3は、ホウ素を30 keVのイオンエネルギーで注入すると平均のホウ素の注入深さは 0.16 nm 程度となるので、1000℃で10分熱処理することにより 0.16 nm の深さよりも若干広がった ρ 形シリコン薄膜を ρ 形シリコン領域の上層に ρ 形シリコン薄膜3として得ることができる。イオンの注入量については、任意な調整を行なうことにより所定の値の不純物濃度となるように決めることができる。

次に、第3図に示すように、 ρ 形シリコン薄膜3の表面を酸化して、シリコン酸化膜4を形成したのち、公知のCVD法によりシリコン酸化膜5およびシリコン酸化膜6を堆積する。シリコン酸化膜4、シリコン酸化膜5およびシリコン酸化膜6の厚さは例えば、 $2.0 \sim 3.0 \text{ nm}$ 、 $100 \sim 200 \text{ nm}$ 、 $0.5 \sim 2 \text{ nm}$ とする。CVD法により堆積したシリコン酸化膜5は、以下の製造工程で示すように、シリコン酸化膜5をエッチング加工するとともにマスクとして使用するものであり、例えば、リンガラス(PSG)に代えてもよい。

第4図(a)および(b)に示すように、公知のホトリソグラフィあるいは電子線あるいはX線リソグラフィにより格子状の溝をパターンニングしたレジストパターンをマスクに、シリコン酸化膜6、シリコン酸化膜5およびシリコン酸化膜4の堆積膜をエッチングしてレジストパターン7のゲートを形成する。

ここで図面符号の数字(a)および(b)は第1図(a)に示す、それぞれ1-1線および2-2線でシリコ

ン面を切断したときの断面に、ある、以下各図に示すように所定とする。上記パターンに於いて位置すべきことは、I-I'断面に於いてレジストの除去された幅 W_1 は、II-II'断面に於ける W_2 よりも広いことである。例えば、 W_1 、 W_2 をそれぞれ0.8 μ m、0.4 μ mとする。また、除去されたレジストパターンは例えば辺0.3 μ mの正方形とする。なお上記寸法は、単なる例であり、 W_1 、 W_2 より大きい値を採用しさえすれば任意である。上記半導体のエッチングは、例えば反応性イオンエッチング（以下RIEと略記する）装置を用いてレジストパターンを忠実に転写する。RIEに於いては、例えば、 CF_4 と水素の混合ガスを用いてエッチングを行うと、上記半導体の側面をほとんど垂直にパターンニングできる。

次に、レジストパターンを除去したのち、CVD法により形成したシリコン酸化膜をマスクにRIE法により、 β 形シリコン薄膜 1 、 α 形シリコン薄膜 2 およびシリコン基板 3 の一部をエッチングして格子状の膜を形成する（第3図(a)および(b)）。

たは熱酸化によるシリコン酸化膜あるいは、五酸化タンタルを用いる。以下では、シリコン酸化膜を用いた場合を説明する。シリコン酸化膜のキャパシタ用絶縁膜 1 を形成後、キャパシタの一方の電極となる導電体 10 を形成し、膜を埋め込む。導電体 10 として、例えば、リンをドーピングした多結晶シリコンを用いる。絶縁膜厚は $W_1/2$ より大きくし、 W_1 の膜を埋め込む。リンのドーピング法としては、多結晶シリコンを加熱するとき同時にホスフィンを含む方法あるいは、リンを添加した多結晶シリコンを加熱した後、リンをイオン注入して拡散させる方法。または、 $POCl_3$ を用いてリンを拡散させる方法がある。膜が厚く、かつ開口部が狭い場合には、多結晶シリコンの表面からリンを拡散させる方法では拡散部まで拡散が十分に行えない。そのため、膜内並に薄く多結晶シリコン膜を堆積したのちリンを拡散させ、再度多結晶シリコン膜の堆積およびリン拡散を繰り返す方法を用いてもよい。

次に、第4図(a)および(b)に示すように多結晶シ

上記 β 形および α 形シリコン薄膜 1 、 2 の膜厚を例えばそれぞれ2 μ m、3 μ mとすると、 β 形シリコン薄膜の上面より離れた側面は、例えば7 \sim 8 μ mとする。上記RIEに於いては、例えば $SiCl_4$ 、 BF_3 、 CF_4 等のヘロゲン元素を含むガスを用いる。エッチング速度の向上、エッチングマスク材料とシリコンとのエッチングの選択性を向上させるために、上記ガスを混合して用いてもよい。また、上記ガスにアルゴンガス、酸素を混合してエッチングしてもよい。上記RIEによるシリコンのエッチングのうち、側面部にホウ素をイオン注入して、濃度 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の β 形高濃度領域 1 を形成する。この β 形高濃度領域 1 は、側面反転層の形成によるチャンネルのリークを防ぐものである。

次に、CVD法によるシリコン酸化膜 1 をマスクを含む混合膜により除去したのち、第5図(a)および(b)に示すようにキャパシタ用絶縁膜 1 を形成する。キャパシタ用絶縁膜 1 として、例えば、溝内面を酸化したシリコン酸化膜あるいは、CVD法で

シリコン膜の導電体 10 をエッチバックして溝内面に形成する。溝内に埋め込む多結晶シリコン膜の導電体 10 の形成位置は、 β 形シリコン薄膜 1 と α 形シリコン薄膜 2 の境界と同レベル、あるいは、 α 形シリコン薄膜 2 側とする。これは、以下の工程でキャパシタの上面に形成される FEI のゲートがオフセットになることを避けるためである。上記エッチバックは、シリコン薄膜のエッチングで述べた方法により、エッチング用マスクを用いずに行う。

続いて、第6図(a)および(b)に示すように溝内に埋め込んだ多結晶シリコン膜の導電体 10 の上に絶縁膜 11 を形成し、 β 形シリコン薄膜の側面にゲート絶縁膜 12 を形成し、ゲート電極 13 を形成する。絶縁膜 11 としては、例えば多結晶シリコン膜の導電体 10 の表面を酸化して形成したシリコン酸化膜を用いる。それを形成するには以下の方法を用いる。まず、第7図の構造を得たのち、溝内面にCVD法により厚さ30 \sim 100 μ mのシリコン酸化膜を堆積したのち、RIE法により溝内

面のシリコン酸化膜の除去を要して、他の領域のシリコン酸化膜を除去する。第8図(c)は、例えば、 CF_4 と水素の混合ガスを用いる。次に、露出した多結晶シリコン膜の表面は100の表面を酸化してシリコン酸化膜の絶縁膜11を形成したのち、導電性のエッチング液により露出部に残存するシリコン酸化膜を除去する。導電性のエッチング液としては、例えば100ppmの HF と100ppmの HNO_3 とを混合したものをいう。なお、このときのエッチングでシリコン酸化膜11の表面もわずかにエッチングされるが、後工程には影響しない。

以上の工程によりシリコン酸化膜の絶縁膜11を形成したのち、 β 形シリコン薄膜12の形成に形成されているシリコン酸化膜の α - β シ-用絶縁膜13をフッ素を含む混合液により除去したのち、第9図(a)および(b)に示すように、 β 形シリコン薄膜12の表面にゲート絶縁膜14を形成する。ゲート絶縁膜14としては、例えば β 形シリコン薄膜12の表面を酸化して形成したシリコン酸化膜を用いる。続いて、ゲート電極15として例えばリン

シリコン膜16上に絶縁膜17を形成する。

多結晶シリコン膜12のエッチングにかいては、シリコン薄膜のエッチングで述べた第8図(c)より、エッチングマスクを用いずに行う。第9図(a)および(b)に示した、多結晶シリコン膜の表面形状を反映したエッチングが行われる。エッチングは、露出部に残される多結晶シリコン膜の表面が β 形シリコン薄膜12の表面とほぼ一致するまで行う。その結果、第9図(b)に示すように導電の広い部の表面に堆積した多結晶シリコン膜12はエッチングされるため、対向する露出部に堆積した多結晶シリコン膜12は分離される。一方、導電の狭い部においては、第9図(b)に示すように露出部に空隙を残すことなく、多結晶シリコン12により溝が形成される。

続いて、多結晶シリコン膜12上の絶縁膜14として、例えば多結晶シリコン12の表面を酸化してシリコン酸化膜を形成する。

次に、シリコン酸化膜14を形成したリン膜により形成したのち、第10図(a)および(b)に示すよう

にドーピングした多結晶シリコン膜を堆積する。ここで重要なことは、溝部の狭い部にかいては対向する露出部に堆積した多結晶シリコン膜が互いに接触して溝を埋め込む(第9図(c))のに対して、導電の広い部にかいては、対向する露出部に堆積した多結晶シリコン膜の間に空隙を残すことである。これを示現するには、堆積する多結晶シリコン膜の厚さを w_1, w_2 より小さく(第10図(c)より小さくすればよい。例えば、 w_1, w_2 をそれぞれ0.5 μm 、0.4 μm とすれば、多結晶シリコン膜の厚さとしては0.3 μm とすればよい。このように厚さの多結晶シリコンを用いると、ワード線の形成される方向については、溝を埋め込んだ多結晶シリコンの表面がほぼ平坦になっているのに対して、それと交叉する方向の露出部にかいては、多結晶シリコン膜に凹凸が作られる。

次に、多結晶シリコン膜12をエッチバックして、第9図(d)にかいては、露出部にかいては多結晶シリコン12を残し、第9図(e)にかいては、多結晶シリコン12により溝を埋め込んだのち、多結晶

に、CVD法により例えばシリコン酸化膜18を堆積し、導電の広い部に残存する空隙を埋め込む。なお、上記シリコン酸化膜18に代えて、シリコン酸化膜、 PSG 等の絶縁膜を堆積してもよい。

シリコン酸化膜18を堆積後、第11図(a)および(b)に示すようにエッチバックを行い、導電の広い部の空隙に埋め込んだシリコン酸化膜18の表面を平坦化する。上記エッチバックには、例えば CF_4 と水素の混合ガスによる第8図(c)を用いる。次に、 β 形シリコン薄膜12の表面に n -型不純物として例えばヒ素をイオン注入してMIS形FETの形成層19を形成する。イオン注入は例えば加速電圧30~100kV、ドーズ量 1×10^{13} ~ 5×10^{14} cm^{-2} でマスクを用いずに行う。続いて、注入したヒ素を電気的に活性化するため900~1000℃程度で熱処理を行う。次に、シリコン酸化膜18をフッ素を含む混合液により除去して上記絶縁膜14を露出したのちビット線20、ワード線21をシリサイド膜を公知の方法により形成する。シリサイド膜は例えば以下のよう形成する。シリサイド

膜を形成する金属として例えばモリブデン膜17をスパッタ法により膜厚20～200 nmを堆積したのち、アモルファスシリコン膜18をスパッタ法により膜厚50～200 nmを堆積する。なお、上記両膜の堆積順序を逆にして、アモルファスシリコン膜を堆積したのちモリブデン膜を後で堆積してもよい。以下では、モリブデン膜を先に堆積する場合を説明する。

続いて、公知のリソグラフィ工程によりパターン化されたレジストをマスクにアモルファスシリコン膜18をエッチングしたのち、上記レジストを除去し、不活性ガス雰囲気中、400～600℃で熱処理を行い、モリブデンとシリコンを反応させて、モリブデンシリサイド膜19を形成する。続いて、シリサイド反応で発生しなかったモリブデンをリン酸と硝酸を含む混合液により除去し、第12図(a)および(b)の断面形状を得る。上記リソグラフィ工程における露光とシリサイド層との露光合わせ誤差は狭い領域より小さいことが必要であるが、本発明例では0.4 μmとしてかなり公知のリソ

グラフィ工程で達成できると信じている。以上により、多結晶シリコン13によるワード線とシリサイド膜19によるビット線が形成され、DRAMのメモリエループが完成する。本発明例ではビット線のシリサイドを形成するのちモリブデンを用いたが、モリブデンに代えて、タングステン、タンタム、タングステンの元素周期表近辺におけるRu、V、Cr等の金属、あるいは、コバルト等の過渡金属を用いてもよい。また、ビット線は、通常のリソグラフィ工程によって形成するので、アルミニウムやシリコン入りアルミニウムあるいはモリブデン、タンタム、タンタムなどの金属を使用することが可能である。なお、以上の工程で用いるリソグラフィ用マスクは、露光およびビット線形成の際のレジストである。

実施例2

実施例1においてワード線には多結晶シリコンを用いたが、ワード線にシリサイドを用いる場合の製造方法について説明する。

実施例1に説明した製造方法により第8図(a)および(b)の断面形状を得たとする。実施例1で説明した方法により多結晶シリコン膜13をエッチングし、露光の広い領域においては露光部のみが多結晶シリコン膜13を残し、露光の狭い領域においては、多結晶シリコン膜13により膜を覆い込み、その表面がシリコン薄膜の上面とほぼ一致するようにする。続いて、第13図(a)および(b)に示すようにシリサイドを形成する金属として例えばモリブデン膜18を膜厚20～100 nmを堆積する。

次に、不活性雰囲気中、400～600℃で熱処理を行いモリブデンと多結晶シリコンを反応させてモリブデンシリサイド膜21を形成させたのち、シリサイド反応で発生しなかったモリブデンをリン酸と硝酸を含む混合液により除去し、さらに、シリコン強化膜22を除去し、第14図(a)および(b)の構造を得る。次に、CVD法によりシリコン強化膜を膜の両面に堆積したのち、ニッチパッチして表面を平滑化する。

以後の工程は、実施例1の第11図(a)および(b)

以降に示したとおりである。

実施例3

実施例1、2においては、表面面をチャネルとするMIS形FETのゲートを形成して、隣接するゲート間の領域をシリコン酸化膜で覆込んだのち、シリコン薄膜12の上面に拡散層を形成していたが、実施例3では拡散層を上記ゲート電極形成前に形成する方法について述べる。

第3図に示す構造を得る工程において、シリコン酸化膜6を形成したのち、 ϕ 形不純物をイオン注入する。イオン注入は、例えばヒ素を用いて、加速電圧50～100 keV、ドーズ量 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ で行う。続いて、シリコン酸化膜6、シリコン強化膜6を堆積して、第15図に示す構造を得る。第15図において、16は ϕ 形拡散層である。この層に電気的に活性化するため900～1000℃で熱処理される。以後の工程は実施例1に示した通りである。このように本発明の半導体装置の製造法においては、 ϕ 形拡散層16をゲート電極形成前に形成することが可能である。この

ことは、ゲート電圧を形成する上でのゲート電極材料の選択の自由度を大きくせしめる重要な意味を持っている。すなわち、 α 形熱酸化物を形成する前にゲート電極を形成してしまうと、熱酸化物を形成するときの900〜1000℃の熱処理でゲート電極が変質してしまうが、この明細からゲート電極材料としてシリコンまたはポリシリコンとシリコンの熱酸化物の積層にシリサイド化されているものであるが、ゲート電極を熱酸化物の形成後に形成できることとすれば、熱酸化物形成は高熱処理を必要としないので、ゲート電極材料には比較的安いものでも適用でき、特にアルミニウムやポリシリコンやタンタム酸などの低融点の低価なものでも適用できることとなり、半導体集積の高速化を可能ならしめることとなる。【発明の効果】

以上説明したように、一方向が他方向より狭い棒状の溝により分離した島状のシリコン薄膜の側面上部にMIS形FETを、側面下部にキャパシタを形成したメモリセルにおいては、

①個々のセルは溝で分離されているためセル間の電気的干渉が防止できる。②セル間を選択酸化法により分離する必要がないためセルの高密度化ができる。③電極を溝で分離された島状のシリコン薄膜側面の熱酸化物に隠えるため、アルファ粒子によるソフトエラーが防止できる利点をもつ。また、ビット線を形成するのに、コンタクトホールを介さずに、FETの拡散層上に直接シリサイドを形成しているため、側面とビット線との接合が接合部を大きくとる必要がないためセル面積を縮小できる利点がある。

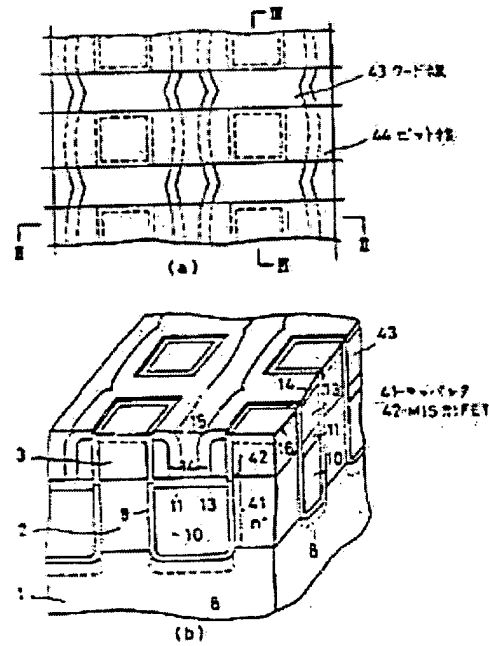
また、上記のメモリセルの製造においては、1層のリン酸ガラスを用えて製造できるといふ利点がある。

4. 図面の簡単な説明

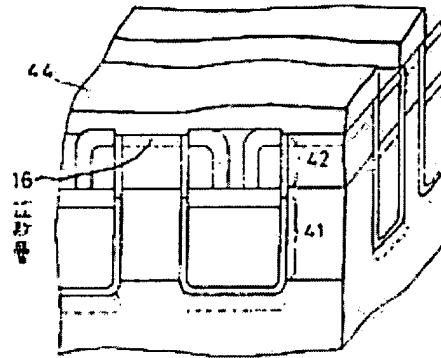
第1図(a)、(b)および(c)は本発明によるメモリセルの平面図、ワード線を形成した側面図およびビット線を形成した側面図であり、第1図(c)は、本発明の特徴を最もよく表している。第2図ないし第12図は本発明の第1の実施例による

製造方法における各工程での断面図である。第13図および第14図は本発明の第2の実施例による製造方法のうち第1の実施例と異なる工程を示す図、第15図は本発明に係る α 形熱酸化物をゲート電極形成前に形成する第3の実施例を説明するための図、第16図(a)および(b)は従来の方法によるメモリセルの平面図および断面図である。

1… α 形シリコン基板、2… α 形シリコン薄膜、3… α 形シリコン薄膜、4、5、13、14…シリコン酸化膜、6…シリコン窒化膜、7…レジストパター、8… α 形高抵抗層、9…キャパシタ用絶縁膜、10… α 形高抵抗層、11、12…電極膜、13…ゲート絶縁膜、14…ゲート電極、15、16、17… α 形熱酸化物、18…アモルファスシリコン膜、19、20…ポリシリコン膜、21…ポリシリコンシリサイド膜、22…穴、23…キャパシタ電極、24…アモルファス膜、25…キャパシタ、26…MIS形FET、27…ワード線、28…ビット線。



第1図



(c)

図 1

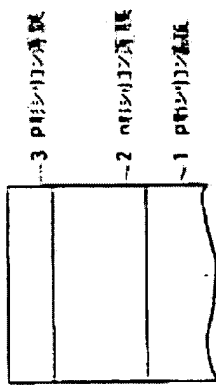


図 2

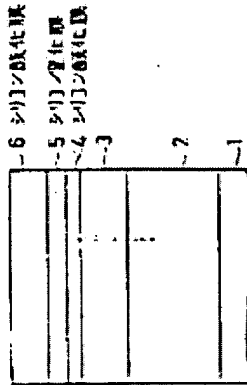


図 3

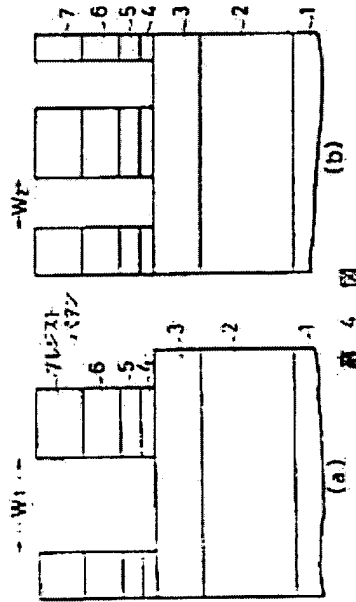
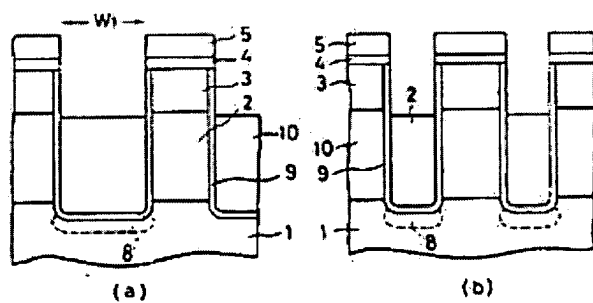
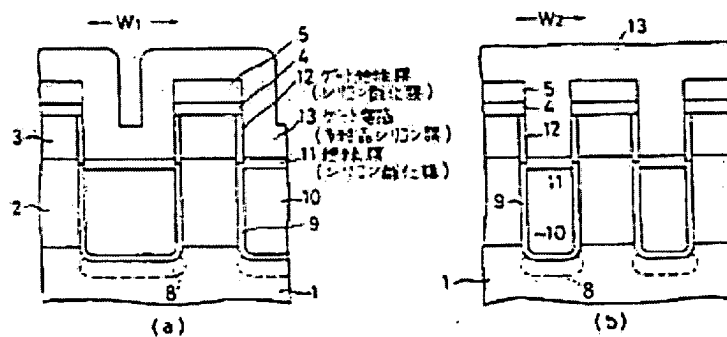


図 4



第 7 题



8

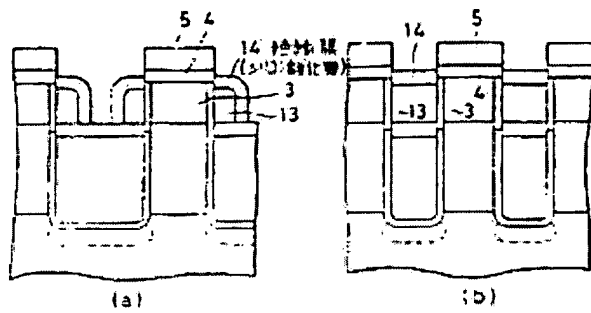


図 9

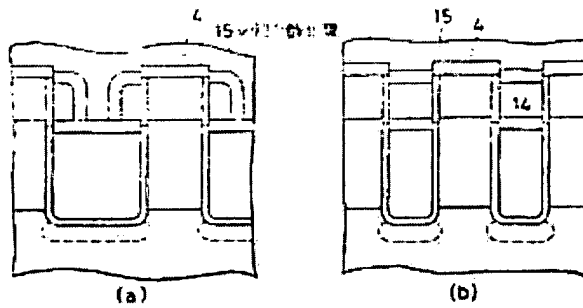


図 10

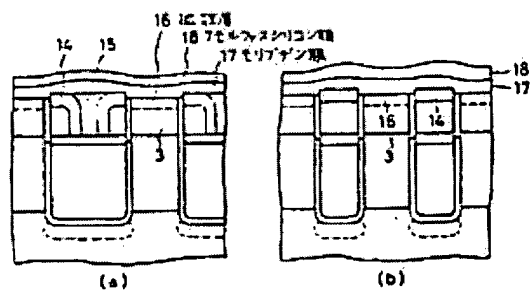


図 11

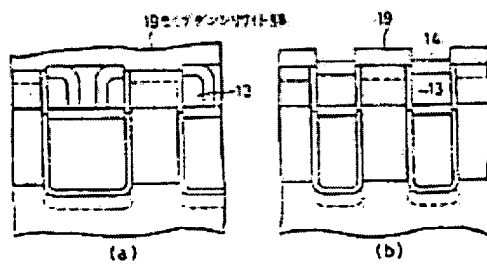
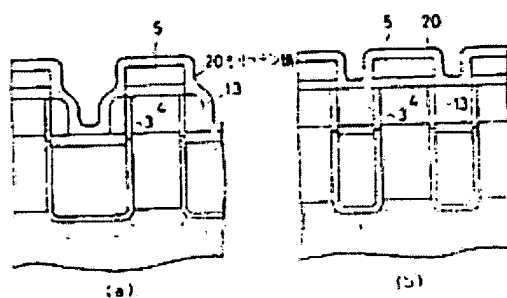
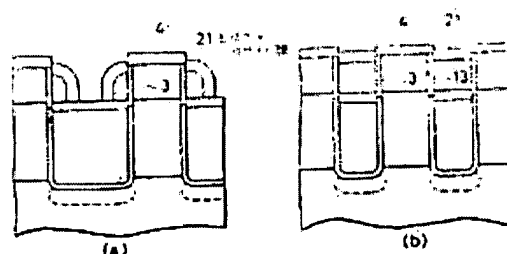


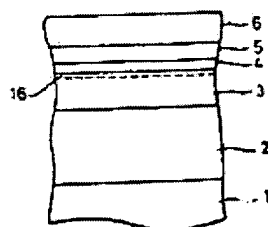
図 12



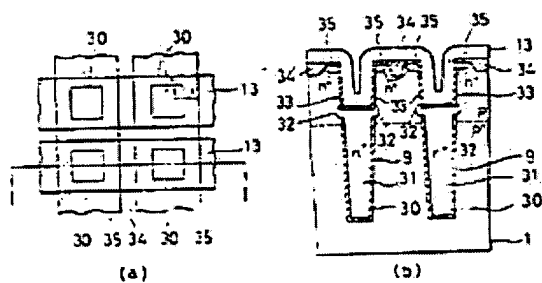
第 13 図



第 14 図



第 15 図



第 16 図